

PAT-NO: JP405152505A
DOCUMENT-IDENTIFIER: JP 05152505 A
TITLE: ELECTRONIC CIRCUIT MOUNTING BOARD
PUBN-DATE: June 18, 1993

INVENTOR-INFORMATION:

NAME
ISANE, KENJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP03308927

APPL-DATE: November 25, 1991

INT-CL (IPC): H01L023/522

US-CL-CURRENT: 257/685

ABSTRACT:

PURPOSE: To make it possible to supply a large current, miniaturize a board by making its mounting density higher, and enhance a propagation velocity of signals in the electronic circuit mounting board where a plurality of electronic parts are mounted, particularly in relation to the board for power supplying means.

CONSTITUTION: In an electronic circuit mounting board in which there is provided on a supporting board 1, a multi-layered wiring structure formed by a plurality of power supply layers 3 and a plurality of

signal wiring layers 4 which are insulated from each other by insulating layers 2, and on the board, a plurality of electronic parts 8 are mounted, and then, the power supply wiring layers 3 and signal wiring layers 4 are connected via 5 to the electronic parts 8 as required, the supporting board 1 itself is made to function as a conductor so that the power can be supplied from the back of the power supply wiring layers 3. Also, the supporting board 1 itself is arranged to function dually as one of the power supply wiring layers in order to reduce the number of the wiring layers.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152505

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.
H 01 L 23/522

識別記号

序内整理番号

F 1

技術表示箇所

7220-4M

H 01 L 23/ 52

B

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号 特願平3-308927

(22)出願日 平成3年(1991)11月25日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 井賀 健治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

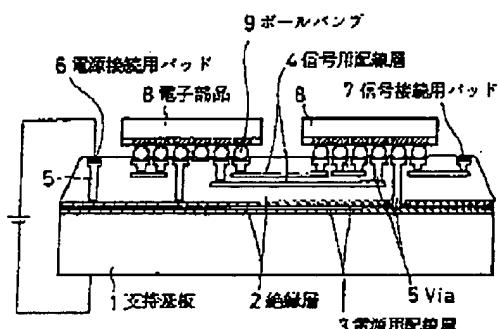
(54)【発明の名称】電子回路実装基板

(57)【要約】

【目的】複数の電子部品を実装する電子回路実装基板、特に、その電源供給手段に特徴を有する電子回路実装基板に関し、大電流を供給することができ、かつ、実装密度を高くして小型化し、信号の伝達速度を高速化する。

【構成】支持基板1上に、複数の電源用配線層3と複数の信号用配線層4が互いに絶縁層2によって絶縁された多層配線構造体が形成され、その上に複数の電子部品8が実装され、この電源用配線層3および信号用配線層4と電子部品8の間が必要に応じてVia5によって接続された電子回路実装基板において、支持基板1自体を導電体とし、電源用配線層3の背面から電源を供給することを可能とした。また、この支持基板1自体を電源用配線層の一つに兼用して配線层数を低減する。

第1実施例の電子回路実装基板の構成説明図



(2)

特開平5-152505

1

【特許請求の範囲】

【請求項1】 支持基板上に、複数の電源用配線層と複数の信号用配線層が互いに絶縁層によって絶縁された多層配線構造体が形成され、その上に複数の電子部品が実装され、該電源用配線層および信号用配線層と電子部品の間が必要に応じてViaによって接続されてなる電子回路実装基板において。

該支持基板自体を導電体とし、電源用配線層の背面から電源を供給することを可能にしたことを特徴とする電子回路実装基板。

【請求項2】 支持基板上に、複数の電源用配線層と複数の信号用配線層が互いに絶縁層によって絶縁された多層配線構造体が形成され、その上に複数の電子部品が実装され、該電源用配線層および信号用配線層と電子部品の間が必要に応じてViaによって接続されてなる電子回路実装基板において、

該支持基板自体を導電体とし、該複数の電源用配線層の一層を兼ねることを特徴とする電子回路実装基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の電子部品を実装する電子回路実装基板、特に、その電源供給手段に特徴を有する電子回路実装基板に関する。

【0002】 近年コンピュータシステムの高速化に伴い、電子回路実装基板に実装された電子部品相互間の信号伝達遅延を短縮することが要求されている。その要求に応えて、電子部品間の相互の距離を短縮するために、電子部品を高密度で実装する必要がある。

【0003】

【従来の技術】 従来の多層構造体を有する電子回路実装基板においては、実装している電子部品に電源を供給する手段として最上層の配線層に形成された接続用パッド(電極)と下層に形成された電源用配線層の間を層間接続手段(Via)によって接続し、必要に応じて下層の電源用配線層から再びViaを通して最上層に実装された電子部品に電源を供給していた。

【0004】 図4は、従来の電子回路実装基板の構成図である。この図において、41は支持基板、42は絶縁層、43は電源用配線層、44は信号用配線層、45はVia、46は電源接続用パッド、47は信号接続用パッド、48は電子部品、49はポールバンプである。

【0005】 この従来の電子回路実装基板においては、この図に示されているように、支持基板41の上に絶縁層42、電源用配線層43を交互に形成し、その上に信号用配線層44を絶縁層を介して必要な层数だけ形成して多層配線構造体を構成し、これらの電源用配線層43および信号用配線層44から最上層の絶縁層の表面までVia45によって穿出し、このVia45の頂部に電子部品48をポールバンプ49によって接続し実装している。

2

【0006】 そして、多層配線構造体の最上層の配線層の外端部に信号接続用パッド47と電源接続用パッド46を形成し、電源接続用パッド46と最下層に配置されている電源用配線層43の間をVia44によって接続し、この電源用配線層43から多層配線構造体の最上層に実装されている電子部品48に電源を供給するようになっている。

【0007】

【発明が解決しようとする課題】 ところが、多数の電子部品、あるいは大電力電子部品に電源を供給するためには、大電流を供給するためには多くのViaを設けるか、または、大きなViaを設ける必要が生じ、そのためには信号用の配線層を形成する面積が犠牲になって高集成度実装が困難になっていた。

【0008】 本発明は、大電流を供給することができ、かつ、実装密度を高くして小型化し、信号の伝達速度を高速化することができる電子回路実装基板を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明にかかる、支持基板上に、複数の電源用配線層と複数の信号用配線層が互いに絶縁層によって絶縁された多層配線構造体が形成され、その上に複数の電子部品が実装され、電源用配線層および信号用配線層と電子部品の間が必要に応じてViaによって接続される電子回路実装基板においては、この支持基板自体を導電体とし、電源用配線層の背面から電源を供給する構成を採用した。

【0010】 また、この場合、支持基板自体が複数の電源用配線層の一層を兼ねる構成を採用した。

【0011】

【作用】 本発明のように、電子回路実装基板の支持基板自体を導電体にすると、電源用配線層の背面から電源を供給することができるため、従来の電子回路実装基板において必要であった上層の配線層の電源接続用パッドおよびそのパッドと下層の電源配線層に接続するViaの数を減らして実装密度を向上することができ、さらに、この支持基板自体を複数の電源用配線層の一層として用いると、電源用配線層を一層減らすことができ、製造工程の簡便化が可能になる。

【0012】

【実施例】 以下、本発明の実施例を説明する。

(第1実施例) 図1は、第1実施例の電子回路実装基板の構成説明図である。この図において、1は支持基板、2は絶縁層、3は電源用配線層、4は信号用配線層、5はVia、6は電源接続用パッド、7は信号接続用パッド、8は電子部品、9はポールバンプである。

【0013】 この第1実施例の電子回路実装基板においては、支持基板1の上に絶縁層2と電源用配線層3を交互に形成し、その上に信号用配線層4を絶縁層2によつて相互に絶縁して必要な层数だけ形成して多層配線構造

50

(3)

特開平5-152505

3

体を構成し、これらの電源用配線層3および信号用配線層4から最上層の絶縁層の表面までVi a 5によって導出し、このVi a 5の頂部に電子部品8をポールバンプ9によって接続し実装している。

【0014】そして、多層配線構造体の最上層の信号用配線層の外端部に従来通り信号接続用パッド7を形成し、下層に配置されている電源用配線層3から上方に延びるVi a 5の頂部に電源接続用パッド6が形成されている。

【0015】本発明においては、支持基板1自体が導電体で形成されている。そして、これらの信号用配線層は細糸状である場合が多いが、電源用配線層の方は、粗糸状導電体で形成することもでき、電流容量を大きくするために広い面積を有する導電体層や薄板、あるいは、金属網で形成することもできる。

【0016】図2は、第1実施例の電子回路実装基板パッケージの構成説明図である。この図における符号は、10がパッケージ基板、11が導電体層、12が入出力端子、13が接続線、14はパッケージ全体であるほかは、図1において同符号を付して説明したものと同様である。

【0017】この電子回路実装基板パッケージは、前記のように、支持基板1の上に形成した多層配線構造体に複数の電子部品8を組み立てた電子回路実装基板をパッケージ基板10の上の導電体層11に固定し、電子回路実装基板の信号接続用パッド7と、パッケージ用基板10の周辺に形成され、外側に入出力端子12がう付けされている導電体層11の間を接続線13によって接続し、電源用配線層3の一つを支持基板1から導電体層11を経て入出力端子12に接続し、電子回路実装基板全体を覆うようにパッケージ蓋体14を接着して構成される。

【0018】この実施例によると、図1に示したように、多層配線構造体の下層に配置される電源用配線層3の一つに電源接続用パッドを用いることなく、直接支持基板1からも電源を供給することができ、信号用配線層4の電荷と分離することができるため、従来より電源用配線層と接続するVi aの数を減らすことができ、その結果信号用配線層を形成することができる多層配線構造体中の有効面積が増加し、電子部品の高密度化が可能になり、この種の電子回路実装基板を用いるコンピュータシステムの小型化、高速化が実現できる。

【0019】(第2実施例)図3は、第2実施例の電子回路実装基板の構成説明図である。この図において、21は支持基板、22は絶縁層、23は電源用配線層、24は信号用配線層、25はVi a、26は電源接続用パッド、27は信号接続用パッド、28はポールバンプ、29は電子部品である。

【0020】この第2実施例の電子回路実装基板においては、支持基板21の上に絶縁層22を介して電源用配

4

線層23を形成し、その上に信号用配線層24を絶縁層22によって相互に絶縁して必要な層数だけ形成して多層配線構造体を構成し、これらの支持基板21と電源用配線層23、および、信号用配線層24から最上層の絶縁層の表面までVi a 25によって導出し、このVi a 25の頂部に電子部品29をポールバンプ28によって接続して実装している。

【0021】この実施例においては、支持基板21自体が導電体であって、一つの電源用配線層を兼ねているため、電源接続用パッド26と支持基板21の間に電源を経て電源を供給することができる。信号用配線層24は別途信号接続用パッド27を経て外部に接続されるようになっている。

【0022】この実施例の電子回路実装基板をパッケージに収容した電子モジュールを完成する手段は第1実施例において説明したものと同様である。

【0023】この実施例によると、第1実施例による効果のほかに、支持基板1と電源用配線層3を兼用することにより、総合的な配線層数を減らすことができ、基板の製造コストの低減が可能になる。

【0024】

【発明の効果】以上説明したように、本発明によると、電源を供給する際に、従来のように電子回路実装基板上の電源接続用パッドから、Vi aを通して電源用配線層に電源を供給するだけでなく、直接支持基板から電源用配線層に電源を供給するため、基板上におけるVi aの数を減らすことができ、その面積を信号用配線層を形成する領域として使用可能となる効果を奏し、その結果基板を小型化でき、これを用いたコンピュータシステムの小型化、高速化に寄与するほか、支持基板を電源用配線層として利用することにより、総合的な配線層数を減らすことが可能になり、基板の製造コストを低減することができる。

【図面の簡単な説明】

【図1】第1実施例の電子回路実装基板の構成説明図である。

【図2】第1実施例の電子回路実装基板パッケージの構成説明図である。

【図3】第2実施例の電子回路実装基板の構成説明図である。

【図4】従来の電子回路実装基板の構成図である。

【符号の説明】

- 1 支持基板
- 2 絶縁層
- 3 電源用配線層
- 4 信号用配線層
- 5 Vi a
- 6 電源接続用パッド
- 7 信号接続用パッド
- 8 電子部品

50

(4)

特開平5-152505

5

9 ポールバンプ
10 パッケージ基板
11 导電体層

6

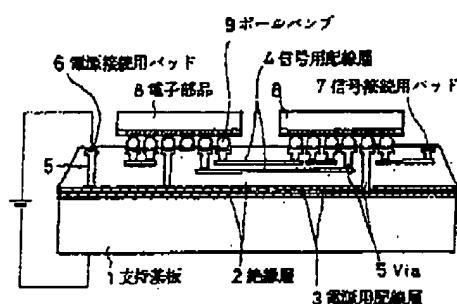
12 入出力端子
13 接続線
14 パッケージ基体

【図1】

第1実体例の電子回路実装基板の構成説明図

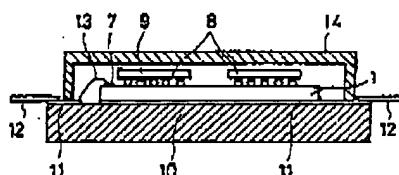
【図2】

第1実体例の電子回路実装基板パッケージの構成説明図



【図3】

第2実体例の電子回路実装基板の構成説明図



【図4】

従来の電子回路実装基板の構成図

